

Motivace práce

- Nárůst požadavků na výkonnost dnešních počítačových sítí, přechod na vyšší rychlosti komunikace (100 Gb/s a více).
- Důležitý je však vývoj nejen z hlediska infrastruktury sítě, ale také její bezpečnosti. Filtrace paketů je přitom jedním ze základních mechanismů pro zajištění bezpečnosti počítačových sítí.

Cíl práce, požadavky

- Návrh hardwarové architektury umožňující akceleraci filtrace paketů ve vysokorychlostních počítačových sítích.
- Návrh s ohledem na dosažení plné propustnosti linky 100 Gb/s a nalezení vhodného kompromisu mezi časovou a paměťovou složitostí algoritmu.
- Provedení implementace navrženého řešení pro akcelerační síťovou kartu COMBO-100G založenou na technologii FPGA.

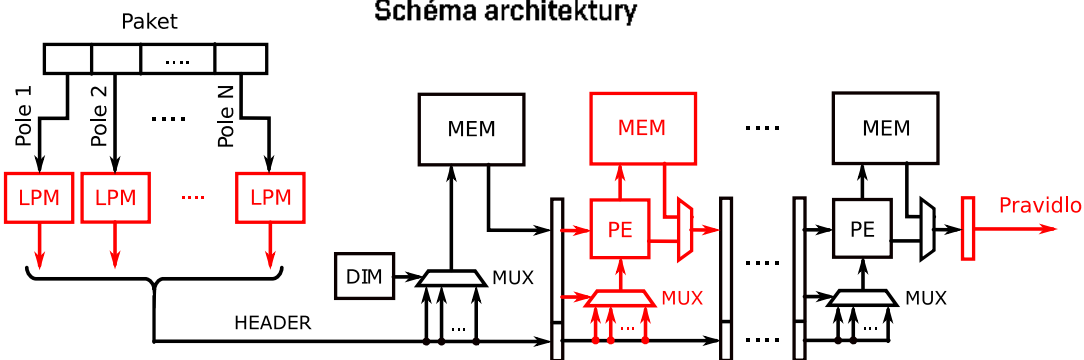
Karta COMBO-100G



Analýza současných přístupů

- Důkladná analýza vlastností filtračních pravidel a dostupných datových sad.
- Srovnání vybraných algoritmů (*BitVector*, *HiCuts*, *HyperSplit*, *MSCA*, *DCFL*, *PHCA*) pro konkrétní množiny pravidel z hlediska časové i paměťové náročnosti.
- Nejlépších výsledků dosahují algoritmy založené na rozhodovacích stromech (např. *HyperSplit*). Vykazují vynikající poměr mezi časovou a paměťovou složitostí, lze je vhodně mapovat do tzv. *hlubokých pipeline*.

Schéma architektury



Návrh architektury, implementace

- Obecná řetězená linka, která slouží k provádění programu složeného ze sekvence instrukcí. Program je přitom určitou reprezentací rozhodovacího stromu.
- Předřazení operace LPM pro každou dimenzi pro redukci domény hodnot.
- Obecný procesní element v každém stupni linky realizující zpracování instrukcí.
- Zcela nový způsob konstrukce rozhodovacího stromu využívající zpětné navrácení. Průchod stromem je pak rozprostřen do jednotlivých stupňů linky.
- Dvě možné implementace procesního elementu: instrukce využívající n-ární porovnání a instrukce založená na hashovací funkci.

Dosažené výsledky, shrnutí

- Vysoce optimalizovaná architektura, hluboce zřetězené zpracování.
- Významná redukce paměťové složitosti (v průměru o 72% ve srovnání s jinými algoritmy). Efektivní využití interní paměti na čipu FPGA umožňuje uložení až pěti tisíc filtračních pravidel při využití pouze 8% dostupné kapacity paměti.
- Při implementaci dosažena vysoká pracovní frekvence přes 220 MHz.
- Splněny všechny požadavky pro dosažení plné propustnosti linky 100 Gb/s.
- Využití výsledků práce v rámci sdružení CESNET při řešení projektu *Technologie pro ochranu vysokorychlostních sítí*, který byl podpořený *Technologickou agenturou ČR*.

Srovnání dosažené paměťové složitosti

