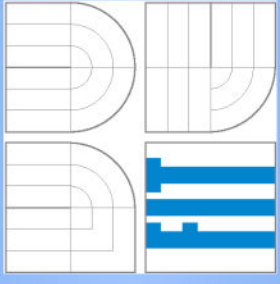
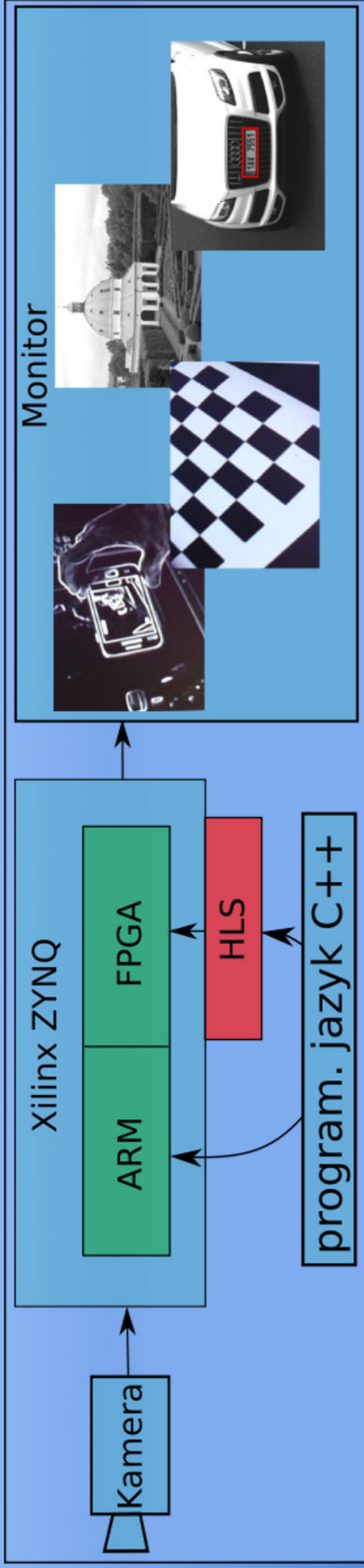




Využití syntézy na systémové úrovni pro aplikace s platformou ZYNQ



Autor práce: Jiří Husák, Vedoucí práce: Doc. Dr. Ing. Otto Fučík



Aplikace zpracovává v reálném čase obraz z kamery a výsledek zobrazuje na monitoru. Zpracování videa probíhá na platformě Xilinx ZYNQ, kde část aplikace je spuštěna na procesoru ARM a část na FPGA. Komponenty pro FPGA jsou implementovány pomocí jazyka C++. Pro implementaci je použito vývojové prostředí Xilinx Vivado HLS. Pomocí syntézy na systémové úrovni je implementován Sobelův filtr pro detekci hran, mediánový filtr pro odstranění šumu, bilaterální filtr pro vyhlazení obrazu a architektura pro detekci registračních značek vozidel. Jako rozšíření práce byla implementována jednotka pro vyhledávání začátků paketů v síťovém provozu.

Motivace:

- roste plocha na čipu
- programování v HDL jazycích je časově náročné a nelze lehce upravovat chování component

Srovnání s HDL:

- implementace v HLS je rychlejší
- při vývoji a lze simulovat na PC
- implementace v HDL je efektivnější na zdroje a frekvenci, lze plně řídit

Výsledky:

- HLS zkrátilo asi dvojnásobně vývoje aplikací
- vhodné pro práci s rozhraními AXI, smýčkami a zřetěžením