

Simulace hierarchie sdílených pamětí cache

Jindřich Čapek

Cíle práce:

- Implementace inkuzivní hierarchie sdílených pamětí cache do simulátoru GEM5
- Úprava MOESI protokolu
- Ověření simulace pomocí benchmarků SPLASH-2 a PARSEC

Hierarchie sdílených pamětí cache:

- L1 cache je soukromá pro každé jádro procesoru a je rozdělená na instrukční a datovou část
- L2 cache je sdílená n-ticemi L1 cache
- L3 cache je sdílená všemi L2 cache na čipu procesoru
- L2 a L3 cache obsahují adresář, který obsahuje rozmístění datových bloků v cache nižší úrovně
- Home Agent registruje v přidruženém globálním adresáři rozmístění datových bloků z paměti k němu připojené

Výhody

- Rychlejší výměna dat mezi jádry procesoru, které sdílí jednu L2 cache
- Sdílení modifikovaného datového bloku bez zápisu do paměti (vlastnost MOESI protokolu)

Nevýhody

- Složitější implementace

